

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-273569

(43)Date of publication of application : 10.11.1988

(51)Int.Cl.

B23K 9/06

(21)Application number : 62-105146

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 28.04.1987

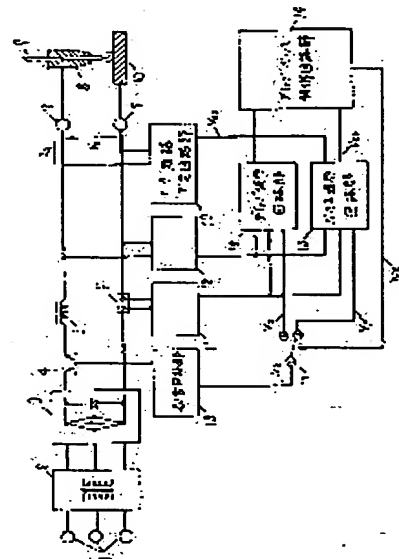
(72)Inventor : KAWAI NAOKI
HOSOKAWA TOMIAKI
HAMAMOTO YASUSHI

(54) ARC WELDING MACHINE

(57)Abstract:

PURPOSE: To enable the arc welding having less spatter generations even if a mean welding voltage is set lower at the time of high speed welding by selecting an accurate control of a spray transfer at the time of no contact short circuit and a short circuit transfer at the time of contact short circuit according to the state of a weld zone.

CONSTITUTION: An arc short circuit deciding signal is outputted as one of inputting signals with the time sharing of the 3rd time period of the specified basic pulse symmetry by a pulse current and base current in the case of a contact short circuit being less than the specified 1st time period to instruct a welding pulse arc welding waveform by subjecting a welding wire to spray transfer. In the case of the contact short circuit being more than said 1st time period the short circuit transfer welding waveform welding the welding wire with the short circuiting transfer is instructed. During the arc generation after are reproduction, the changing element 17 outputting the tip control signal V_d instructing the 3rd welding output control different from the pulse current nor base current and inputting to a driving circuit 18 either one part of a pulse control signal or the dip control signal by a waveform changing signal is equipped. The spatters generating at welding time is thus reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-273569

⑬ Int.Cl.⁴

B 23 K 9/06

識別記号

庁内整理番号

L-7920-4E

⑭ 公開

昭和63年(1988)11月10日

審査請求 未請求 発明の数 1 (全10頁)

⑮ 発明の名称 アーク溶接機

⑯ 特 願 昭62-105146

⑰ 出 願 昭62(1987)4月28日

⑱ 発 明 者	河 合 直 樹	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	細 川 富 秋	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	浜 本 康 司	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑳ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
㉑ 代 理 人	弁理士 中尾 敏男	外1名	

明 細 書

1. 発明の名称

アーク溶接機

2. 特許請求の範囲

(1) 消耗電極である溶接用ワイヤが被溶接物である母材に接触短絡しているか非接触でアーク発生中であるかを判定してアーク・短絡判定信号を出力するアーク・短絡判定回路部と、前記アーク・短絡判定信号を入力信号の一つとして、接触短絡が所定の第1時限以下の場合に所定の基本パルス周期である第3時限内をパルス電流部とベース電流部とで時分割して出力して溶接ワイヤをスプレー移行させて溶接するためのパルスアーク溶接波形を指示し、接触短絡が前記第1時限以上の場合にこの第1時限の経過時点から溶接ワイヤを短絡移行させて溶接する短絡移行溶接波形を指示し、この接触短絡が解除してアーク発生後、所定の第2時限が経過するまで前記短絡移行溶接波形を指示し続ける波形切換信号と、パルスアーク溶接のパルス電流印加の時間起点を指示するパルス同期

信号とを出力するディップ・パルス制御回路部と、前記パルス同期信号を入力信号の一つとして、前記第3時限内をパルス電流部とベース電流部として時分割したパルス制御信号を出力するパルス波形回路部と、前記アーク・短絡判定信号を入力信号の一つとして接触短絡中は溶接出力をパルス電流の立上り速度より速くない所定の第1軌跡に従って定電流出力を指示し、アーク再生後のアーク発生中はパルス電流部ともベース電流部とも異なる第3の溶接出力制御を指示するディップ制御信号を出力するディップ波形回路部と、前記波形切換信号により前記パルス制御信号か前記ディップ制御信号かのいずれか一方を溶接出力制御素子を駆動する駆動回路部に選択して入力する切換素子とを備えてなるアーク溶接機。

(2) 前記ディップ・パルス制御回路部は、一定周期で状態変化を繰り返す基準クロック信号と前記アーク・短絡判定信号とを入力信号とし、アーク発生から接触短絡となった時を時間起点として前記基準クロック信号の状態変化の回数により前記第

1 時限を計数開始し、前記第1時限を計数中はLレベル、その他の期間はHレベルと状態を変えて第1時限信号を出力する第1タイマ回路部と、前記基準クロック信号と前記アーク・短絡判定信号とを入力信号とし、接触短絡からアーク発生した時を時間起点として前記基準クロック信号の状態変化の回数により前記第2の時限を計数開始し、前記第2の時限を計数中はLレベル、その他の期間はHレベルと状態を変えて第2時限信号を出力し、前記第2時限を計数中も再起動動作可能な第2タイマ回路部と、前記第1時限信号と前記アーク・短絡判定信号とを入力信号とし、アーク発生から接触短絡に移った時にLレベル、その接触短絡が前記第1時限を計数完了した時に依然として接触短絡状態であればHレベルと状態を転じる第1フリップフロップ信号を出力する第1フリップフロップ回路部と、前記第1フリップフロップ信号と前記第2時限信号とを入力信号とし、前記第1フリップフロップ信号がHレベルに転じた時にHレベルに、前記第2時限信号が前記第2の時限

を計数完了した時にLレベルと状態を転じる第2フリップフロップ信号を出力する第2フリップフロップ回路部と、前記第2フリップフロップ信号と前記基準クロック信号とを入力信号とし、前記第2フリップフロップ信号がLレベルとなれば前記基準クロック信号の状態変化の回数により前記第3時限を計数開始して、前記第3時限を計数開始する時の一定期間はLレベル、その他の期間はHレベルと状態を変えて第3時限信号を出力することをくり返し、前記第2フリップフロップ信号がHレベルとなれば前記第3時限信号をHレベルとしたまま、前記第3時限を計数開始する準備状態となる第3タイマ回路部とで構成され、前記第3時限信号を前記パルス同期信号として出力すると共に前記第2フリップフロップ信号を前記波形切換信号として出力することを特徴とする特許請求の範囲第1項記載のアーク溶接機。

(3) 前記第3の溶接出力制御は略定電圧特性の制御、または、所定の第2の軌跡に従った定電流制御であることを特徴とする特許請求の範囲第1項

または第2項記載のアーク溶接機。

(4) 前記第1の時限、第2の時限、第1の軌跡、第3の溶接出力制御は、溶接ワイヤ送給速度、平均溶接電圧の設定、溶接速度、溶接ワイヤ材質、溶接ワイヤ径、シールドガスの成分構成比のいずれか、または複数の関数であることを特徴とする特許請求の範囲第1項または第2項または第3項記載のアーク溶接機。

3. 発明の詳細な説明

産業上の利用分野

本発明は消耗電極である溶接用ワイヤを自動送給すると共に被溶接物である母材にワイヤ溶滴を移行させるアーク溶接機の溶接時に発生するスパッタ発生量を低減せしめるアーク溶接機に関するものである。

従来の技術

パルスアーク溶接に関する従来の技術は、ワイヤが母材に接触短絡しているか非接触でアーク発生しているかの溶接部の状態に関係なく、溶接機の内部で作成したタイミングによりパルス電流印

加しておこなっていた。

発明が解決しようとする問題点

従来のパルスアーク溶接機は前述の如く、溶接部の状態に関係なく、溶接機の内部で作成したタイミングによりパルス電流印加するために、平均溶接電圧値を低く設定した時、すなわち、溶接ワイヤ先端が母材に非接触で溶接ワイヤ先端の溶融塊をすべてスプレー状にして母材に移行する(スプレー移行)のではなく、溶接ワイヤ先端が母材に接触してワイヤ先端の溶融塊を接触短絡電流によるピンチ力や溶融金属の表面張力により母材に移行する(短絡移行)確率が高まった時、短絡移行によるスパッタ発生が多くなってくる。この平均溶接電圧値を低く設定するのは溶接速度が速くなり、アンダーカットなどの溶接欠陥を防止するためにおこなわれるが、同時に多大のスパッタを発生させ、低スパッタなパルスアーク溶接の長所を損う結果となる。特に溶接部の状態に関係なくパルス電流を印加するためにスパッタ発生は一層、顕著なものとなる。このことを第7図を用いて説

明する。

第7図a, bはいずれも短絡移行混じりの平均溶接電圧値を低く設定した時の従来のパルスアーク溶接機の溶接電流波形の時間推移と溶接部の溶滴移行状態の時間推移とを対応させて示している。第7図において、9は溶接用ワイヤ、10は母材、91は溶接アーク、92はスパッタを示している。第7図aは溶接用ワイヤ9が母材10に接触短絡したまま次のパルス電流印加をした場合で、溶融金属はパルス電流の強力なピンチ力により、時刻 t_6 においてスパッタ92の飛散を伴って短絡解除される。第7図bは次のパルス電流印加の直前の時刻 t_6 において短絡解除した場合で、溶接ワイヤ先端の溶融部形状や移行した溶融金属の形状が針状となって整う前に次のパルス電流印加がおこなわれるのでパルス電流により時刻 t_6 において多大なスパッタ92が発生する。

本発明は前記、従来のパルスアーク溶接機の問題点を解決するためにおこなったもので、高速溶接時のように平均溶接電圧を低く設定して短絡移

行混じりの溶接となってもスパッタ発生のないアーク溶接機を実現しようとするものである。

問題点を解決するための手段

上記問題点を解決するため、本発明のアーク溶接機は消耗電極である溶接用ワイヤが被溶接物である母材に接触短絡しているか非接触でアーク発生中であるかを判定してアーク・短絡判定信号を出力するアーク・短絡判定回路部と、前記アーク・短絡判定信号を入力信号の一つとして、接触短絡が所定の第1時限以下の場合に所定の基本パルス周期である第3時限内をパルス電流部とベース電流部とで時分割して出力して溶接ワイヤをスプレー移行させて溶接するためのパルスアーク溶接波形を指示し、接触短絡が前記第1時限以上の場合にこの第1時限の経過時点から溶接ワイヤを短絡移行させて溶接する短絡移行溶接波形を指示し、この接触短絡が解除してアーク発生後、所定の第2時限が経過するまで前記短絡移行溶接波形を指示し続ける波形切換信号と、パルスアーク溶接のパルス電流印加の時間起点を指示するパルス同期

信号とを出力するディップ・パルス制御回路部と、前記パルス同期信号を入力信号の一つとして、前記第3時限内をパルス電流部とベース電流部として時分割したパルス制御信号を出力するパルス波形回路部と、前記アーク・短絡判定信号を入力信号の一つとして接触短絡中は溶接出力をパルス電流の立上り速度より速くない所定の第1軌跡に従って定電流出力を指示し、アーク再生後のアーク発生中はパルス電流部ともベース電流部とも異なる第3の溶接出力制御を指示するディップ制御信号を出力するディップ波形回路部と、前記波形切換信号により前記パルス制御信号か前記ディップ制御信号かのいずれか一方を溶接出力制御素子を駆動する駆動回路部に選択して入力する切換素子とを備えてなるものである。

作 用

上記構成により、所定の第1時限以上の接触短絡がなければ第3時限によりパルス電流とベース電流とを交互に出力することをくり返し、第1時限以上の接触短絡があれば、この後の接触短絡

期間中の溶接出力をパルス電流の立上り速度より速くない所定の第1の軌跡に従って定電流制御し、第1時限以上の接触短絡の後にアーク再生すればアーク再生時を時間起点として第2時限を時計数開始すると共に、第2時限内に第1時限以上の接触短絡がなければパルス電流部ともベース電流部とも異なる第3の溶接出力制御を第2時限内におこなった後に前記第3時限内の動作に戻り、第2時限内に第1時限以上の接触短絡があれば前記第1時限以上の接触短絡がある場合の動作をくり返す。

実 施 例

以下、本発明の実施例について添付図面を参照して説明する。

第1図において、1はアーク溶接機の入力端子、2は主変圧器部、3は整流平滑回路部、4は溶接出力制御素子、5はリアクトル、6は分流器、7は出力端子、8は通電用コンタクトチップ、9は溶接用ワイヤ、10は母材である。11は溶接電流値検出回路部、12は溶接電圧値検出回路部で

ある。

13はアーク・短絡判定回路部で、アーク・短絡判定信号 V_{AS} を出力する。14はディップ・パルス制御回路部で、パルス同期信号 V_{tp} と波形切換信号 V_{F2} とを出力する。

15はパルス波形回路部で、パルス制御信号 V_p を出力する。16はディップ波形回路部で、ディップ制御信号 V_d を出力する。17は切換素子で前記波形切換信号のH、Lの状態によって前記パルス制御信号 V_p か前記ディップ制御信号 V_d かのいずれか一方を選択して駆動信号 V_Q として出力する。18は前記駆動信号 V_Q に対応して前記溶接出力制御素子4を駆動する駆動回路部である。なお、図中、 I_a は溶接電流、 V_a は溶接電圧を示す。

第2図は第1図の各信号、各出力の時間的な推移を示すタイムチャートで、第2図の各波形の見出しの記号は第1図中に記載されている同記号の信号、出力に対応する。

第2図の T_1 期間は前記第3時限内に接触短絡

は第1時限 t_{p1} を計数完了する以前の時刻 t_{23} に溶接部の振動等で自然に解除し、アーク再生した場合である。この場合、接触短絡期間 t_{s2} が第1時限 t_{p1} より短いのでディップ・パルス制御回路部14の働きにより波形切換信号 V_{F2} はパルス溶接モードを指示するLレベルのままとなり、またパルス同期信号 V_{tp} も基本パルス周期である第3時限 t_{p3} を時計数して次の期間の T_3 期間に移行する。これにより以下の動作は前記 T_1 期間の場合と同様になる。

第2図の T_3 期間は時刻 t_{32} に接触短絡し、第1時限 t_{p1} が経過した時刻 t_{33} においても接触短絡が解除されず、前記第1の軌跡に従った短絡電流印加によって時刻 t_{34} に接触短絡解除してアーク発生し、この後のアーク発生中の第2時限 t_{p2} 内に再び接触短絡が無い場合を示す。この場合、ディップ・パルス制御回路部14の働きにより第1時限 t_{p1} が経過した時刻 t_{33} において、第3時限 t_{p3} の計数は中断され、第3時限 t_{p3} を時計数開始する準備状態となると共に、波形切換信号

がなかった場合で、アーク・短絡判定回路部13はアークの状態を示すHレベルのアーク・短絡判定信号 V_{AS} を出力したままとなる。これによりディップ・パルス制御回路部14は波形切換信号 V_{F2} をLレベルのパルス溶接モードのままであることを出力すると共に、時刻 t_{30} でパルス電流印加開始を指示するパルス同期信号 V_{tp} を出力して基本パルス周期である第3時限を時計数する。パルス波形回路部15は前記パルス同期信号の立下りにより所定のパルス電流値、ベース電流値および第3時限内におけるパルス電流とベース電流の時間的比率を決めてパルス制御信号 V_p を出力する。切換素子17は波形切換信号 V_{F2} がパルス溶接モードであることを指示しているのでパルス制御信号 V_p を駆動信号 V_Q として選択し、駆動回路部18に入力せしめる。これにより溶接出力制御素子4はパルス制御信号 V_p の軌跡に従うよう溶接電流 I_a を制御する。

第2図の T_2 期間はベース電流期間の時刻 t_{22} に微小な接触短絡があった場合で、この接触短絡

V_{F2} をLレベルからHレベルに転じてパルス溶接モードから短絡移行溶接(ディップ溶接)モードに転じたことを指示する。これにより切換素子17はディップ制御信号 V_d を選択して駆動回路部18に入力せしめ、溶接出力制御素子4はディップ波形回路部16で作成した接触短絡時の前記第1の軌跡に従って溶接出力を制御し、アーク再生後は第2時限 t_{p2} の間、前記第3の溶接出力制御となる結果、時刻 t_{33} から t_{40} の間の溶接電流 I_a はパルス電流部ともベース電流部とも異なるものとなる。なお、第2時限 t_{p2} を時計数完了の時刻 t_{40} においてはディップ・パルス制御回路部14の働きにより第3時限 t_{p3} を時計数開始してパルス同期信号 V_{tp} を一定時限 t_{p0} の間Lレベルとすると共に波形切換信号 V_{F2} をHレベルからLレベルに転じ、短絡移行溶接モードからパルス溶接モードに復帰したことを指示して出力する。

以上の作用により接触短絡の解除後の第2時限の間、第3の溶接出力制御によりワイヤ先端に次の溶滴移行のための溶融塊が形成され、時刻 t_{40} か

ら印加される次のパルス電流でワイヤからスプレー状に溶滴離脱して円滑な1パルス1ドロップ(移行)のパルスアーク溶接が継続される。

第2図の T_4 期間は時刻 t_{44} までは前記 T_3 期間の時刻 t_{34} までと同じであるが、この後、第2時限 t_{p2} を計数中の時刻 t_{45} において再び接触短絡し、再び T_3 期間の時刻 t_{32} 以降の動作となる場合を示す。この場合、時刻 t_{44} で計数開始した第2時限 t_{p2} の時計数が完了しないまま時刻 t_{45} で次の接触短絡となるのでディップ・パルス制御回路部14の働きにより第2時限信号 V_{tp2} はLレベルのまま時計数を中断し、時刻 t_{47} のアーク発生で新たに第2時限 t_{p2} を時計数再開する。このため、波形切換信号 V_{F2} は時刻 t_{43} から新たな第2時限 t_{p2} を計数完了する時刻 t_{60} までHレベルのままの短絡移行溶接モードのままとなり、またパルス同期信号 V_{tp} は時刻 t_{43} から第3時限 t_{p3} の時計数を中断して時刻 t_{60} に再び時計数を再開する。以上の結果、切換素子17は波形切換信号 V_{F2} がHレベルである時刻 t_{43} から時刻

t_{60} の間、ディップ制御信号 V_d を選択したままとなるので、接触短絡している時刻 t_{43} から t_{44} までの間および時刻 t_{46} から t_{47} までの間は第1の軌跡による溶接電流 I_a となり、時刻 t_{44} から t_{46} までの間および時刻 t_{47} から t_{60} までの間は第3の制御による溶接出力である溶接電流 I_a 、溶接電圧 V_a となり、次の溶滴移行のためのワイヤ先端の溶融塊が形成される。

次に、第1図におけるディップ・パルス制御回路部14の具体的な回路を第3図に示す。第3図において、140は1個のICの中に独立した第1タイマ回路部141と第2タイマ回路部142、第3タイマ回路部143の3個のタイマ回路部を持ち、制御部144により各タイマ回路部の動作モードや時計数値が設定されるプログラマブルインターバルタイマICであり、汎用の8263型ICである。145は1個のICの中に独立した第1フリップフロップ回路部146と第2フリップフロップ回路部147の2個のクリア・プリセット機能付のD型フリップフロップ回路部を内蔵

しているICで、汎用の7474型ICである。

148は基準クロック信号発生回路部で一定時間の周期でHレベル、Lレベルの基準クロック信号 V_{CK} を出力する。149は演算回路部で、前記プログラマブルインターバルタイマIC140に各タイマの動作モードや時計数値を溶接施工状況に応じ出力する。14A, 14B, 14Cは論理積素子、14D, 14Eは論理和素子、14F, 14Gは論理反転素子である。

第3図の回路における各タイマは演算回路部149および制御部144により、第1タイマ回路部141はG1端子入力を起動入力とし、この入力がLレベルからHレベルに転じた時を時間起点としてCLK1端子から入力される信号のHレベルからLレベルに転じる回数により第1の時限を計数開始し、第1の時限を計数中はLレベル、それ以外の期間はHレベルの信号 V_{tp1} をOUT1端子から出力する再起動可能なワンショットタイマ動作をおこなう。第2タイマ回路部142も第1タイマ回路部141と同様にワンショットタイマ

動作をおこなう。ただし、本回路に使用した第2タイマ回路部は時計数中にG2入力をLレベルにしても時計数停止しないので論理和素子14Eにより接触短絡期間中は時計数進行しないようにCLK2入力信号をHレベルのままとしてOUT2出力を時計数中の状態であるLレベルのままとし、次のアーク発生で再び時計数開始するよう時計数中の中断機能を持たせている。第3タイマ回路部143はG0入力がHレベルの時はCLK0入力からの信号がHレベルからLレベルに転じる回数を計数し、この回数が所定の回数に達すれば一定時間 t_{p0} だけOUT0出力をLレベルとし他の期間はHレベルとなる分周動作をおこない、G0入力がLレベルになればOUT0出力をHレベルとしたまま分周動作を中断し、次のG0入力がHレベルに復帰すれば新たに分周動作を再開する動作をおこなう。

フリップフロップIC147内の第1フリップフロップ回路部146と第2フリップフロップ回路部147とは第4図の真理値を示す図に従って動

作する。この内、第1フリップフロップ回路部146はCP1入力とD1入力をLレベルのままとしているのでCLK1入力をセット入力、PR1入力をリセット入力としたセット優先型R-Sフリップフロップ動作となる。また、第2フリップフロップ回路部147は論理積素子14A、14Bと論理和素子14Dおよび図のような接続とすることにより V_{F1} 信号をセット入力、 V_{tp2} をリセット入力とするエッジトリガ方式のR-Sフリップフロップ動作をおこなう。以上、第3図の回路により第2図と同じ状態変化に対し、第3図の回路の各部の信号は第5図の如くとなり、結果的に第2図と同様となる。

なお、第5図の t_p 波形は第2図の t_p 波形と異っているが、第5図の t_p 波形の立上りエッジ部を利用したワンショットパルス発生回路を第3図の V_{tp} 信号の先に加え、この追加したワンショットパルス発生回路の出力信号を第1図、第2図の V_{tp} 信号とすることと、第5図の時限 t_{p0} を図面上では無視できるほどの小なる値を選ぶことに

られ、いずれも本発明に含まれる。

ディップ波形回路部16およびパルス波形回路部15も従来の短絡移行溶接用溶接機、パルスアーク溶接用溶接機で一般的に用いられている構成および動作であるので説明を省略する。

第1図の切換素子17も市販のアナログスイッチIC等で容易に実現される。

なお、第1図の構成例として主回路部の方式を二次側チョッパ方式として示したが、これを一次側インバータ制御方式としても本発明に含まれ、また第3図のディップ・パルス制御回路部14の演算回路部149にマイクロコンピュータを使用したか、これを使用せず他の方法で計数値設定したりすることや、第3図の各タイマに基準クロックパルスのパルス数を計数する方式を示したが、これをコンデンサ・抵抗から成るCR積分型タイマ回路を使用しても本発明に含まれる。

上記第1図の実施例、および第3図の回路により、平均溶接電圧値 V_a を変えてスパッタ発生量を測定した結果を従来のパルスアーク溶接機およ

よって第3図の回路は第2図とほぼ等価な動きを実現する。また、第3図の基準クロック発生回路部148はCR発振回路や水晶振動子等を利用して容易に実現できるので説明を省略する。さらに、演算回路部149はマイクロコンピュータを使用した回路部であるが、その構成は汎用的なものであり、プログラブインターバルタイマIC140に対しては第1タイマ回路部141、第2タイマ回路部142、第3タイマ回路部143の各タイマの動作モードの設定や計数値の設定に使用するものであるので構成例、プログラム例は省略する。

アーク・短絡判定回路部13は第1図では溶接電圧値 V_a を検出してその値が所定の値よりも高い場合はアーク発生、低い場合は接触短絡と動作するもので、比較器を使用することにより容易に実現され、またこの方法は従来のアーク溶接機でも一般的に使用しているものであるため詳細な説明を省略する。また、溶接電圧値 V_a を検出する代わりにアーク光を直接検出しておこなう方法も考え

び従来の短絡移行(MAG)溶接機と比較したものを第6図に示す。

第6図において、aは従来のパルスアーク溶接機の測定結果である。また、第6図において、bは第6図のような溶接出力波形で溶接をおこなう従来の短絡移行(MAG)溶接機の測定結果である。

第6図のaおよびbからわかるように、溶接電圧値 V_a が高い領域では非接触方式の溶接移行方式であるパルスアーク溶接機の方が低スパッタであるが、溶接の高速化等により溶接電圧値を低くしてゆくとaとbの差は少くなり、ついにP点より低い溶接電圧ではスパッタ発生量が逆転してMAG溶接機の方が低スパッタとなり、パルスアーク溶接機aのスパッタ発生量は激増する。これは第7図で説明したように接触短絡の確率が高くなり、この接触短絡を強烈なパルス電流で解除する時のスパッタが激増するためである。

第6図のcは本実施例によるアーク溶接機の測定結果で、溶接電圧値 V_a が高い領域では接触短

絡の確率が低いため、従来のパルスアーク溶接機のスパッタ発生量 a よりも少し少ない程度に留まっている。しかし、溶接電圧値 V_a を低くしてアンダーカット等の溶接欠陥を防止する高速溶接時等では接触短絡の確率が高まり、従来のパルスアーク溶接機のスパッタ発生量よりはるかに少ないものとなる。これは本実施例の場合、接触短絡していない時はスプレー移行、接触短絡している時は短絡移行と溶接部の状況に応じて適確な制御を選択していると共に、接触短絡の解除後、次の溶滴移行のためのワイヤ先端の溶融塊が形成されるためである。

なお、第6図においてさらに溶接電圧値 V_a を低くした場合は接触短絡の確率がきわめて高くなり、 c の特性は b の特性に合致するものと推定される。

発明の効果

以上のように本発明によれば、高速溶接時等における平均溶接電圧を低く設定して短絡移行混じりの溶接を行ってもスパッタ発生量が少ないアーク溶接機を提供することができる。

ク溶接機を提供することができる。

4、図面の簡単な説明

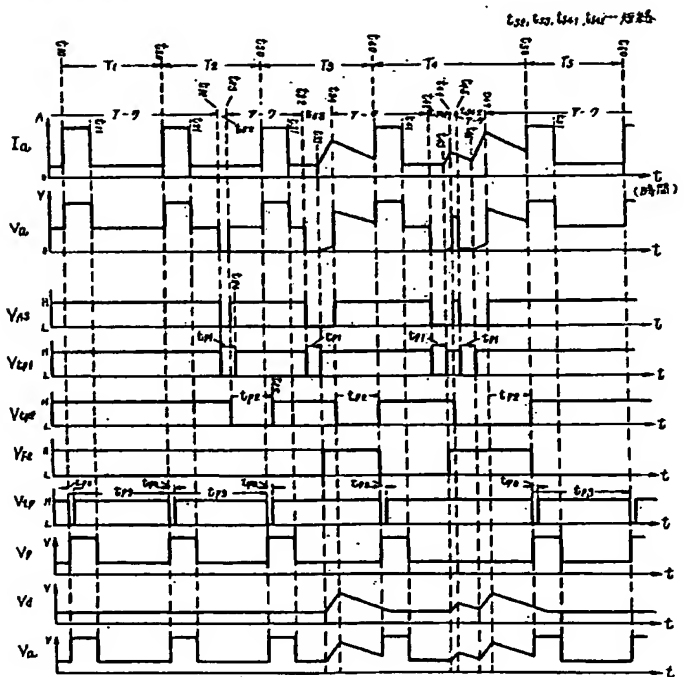
第1図は本発明の一実施例を示すアーク溶接機のブロック回路図、第2図は同要部の信号のタイムチャート、第3図は同アーク溶接機のディップ・パルス制御回路部の具体回路図、第4図は同回路の要部の動作を表す真理値を示す図、第5図は同要部の信号のタイムチャート、第6図は同アーク溶接機および従来のアーク溶接機の溶接電圧値とスパッタ発生量の関係を示す図、第7図は従来のアーク溶接機の時間的推移における溶接電流波形と溶滴移行状態とを対応させて示す図、第8図は従来の短絡移行溶接機の時間的推移における溶接出力波形と溶滴移行状態とを対応させて示す図である。

9……溶接用ワイヤ、10……母材、11……溶接電流値検出回路部、12……溶接電圧値検出回路部、13……アーク・短絡判定回路部、14……ディップ・パルス制御回路部、15……パルス波形回路部、16……ディップ波形回路部、17

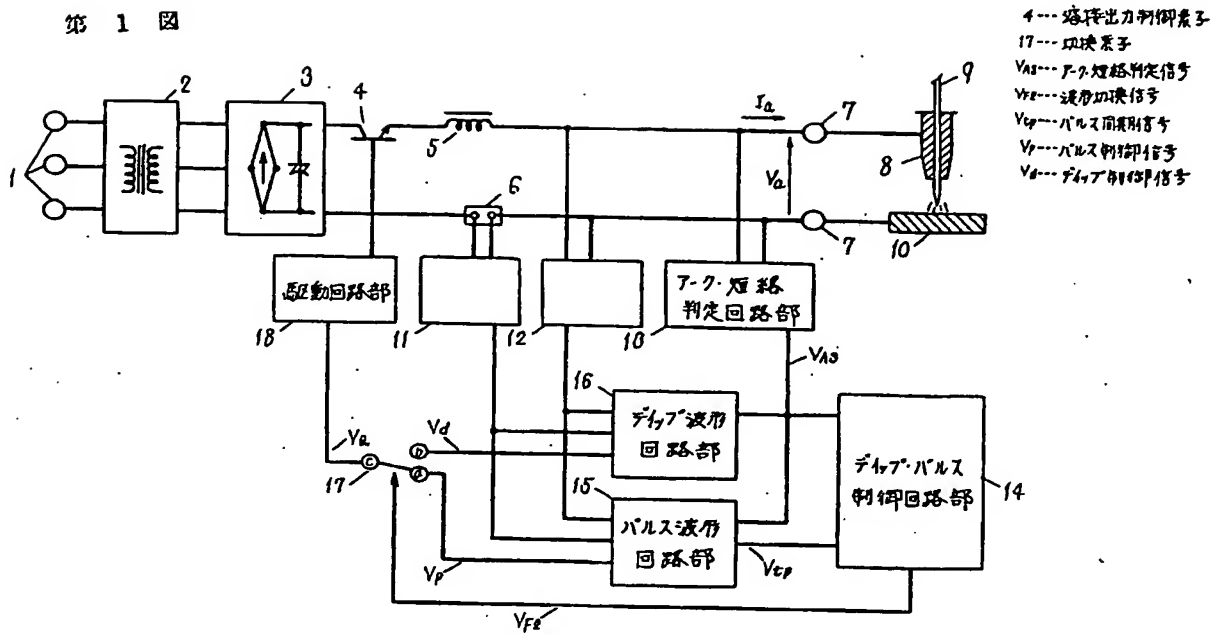
……切換素子、18……駆動回路部。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

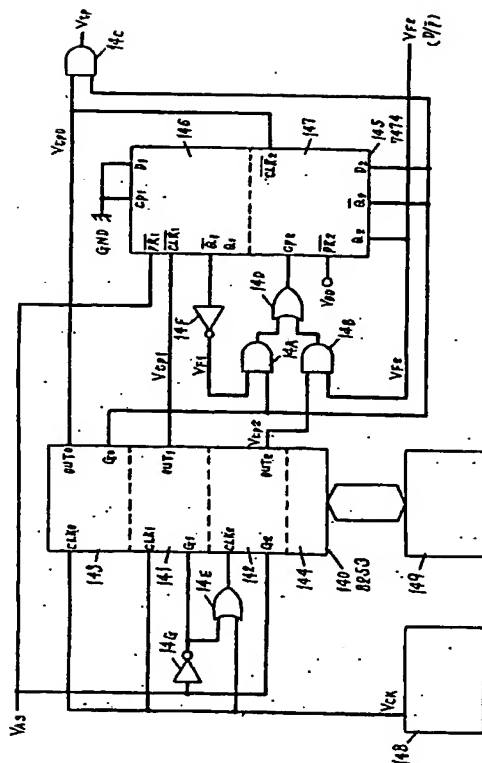
第2図



第 1 図



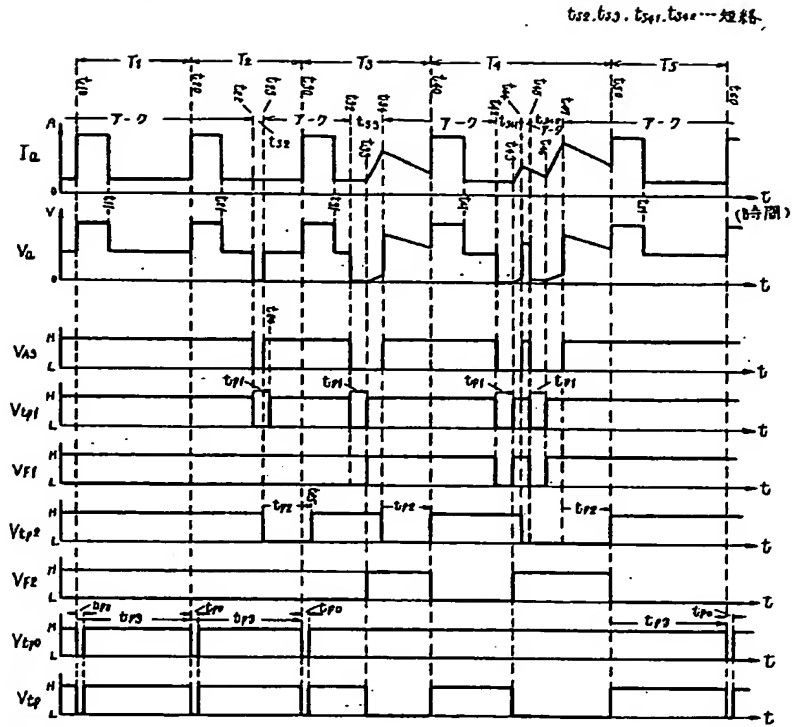
第 4 図



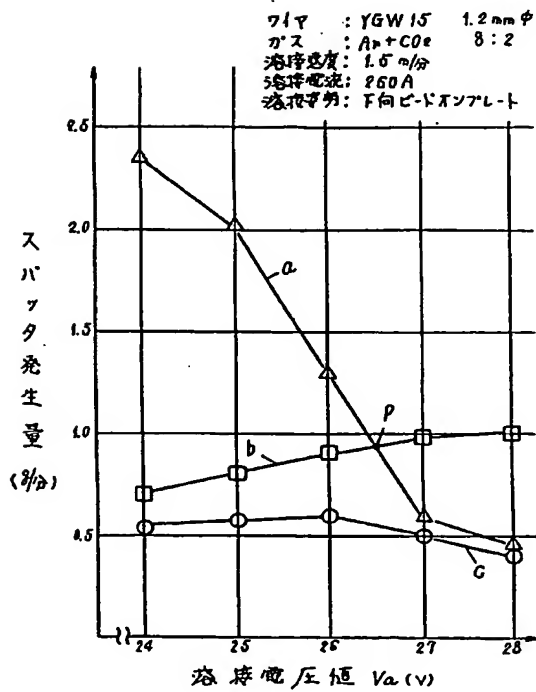
第 3 図

入出力区分		入力				出力	
右図における端子		CLR	PR	D	CK	Q	\overline{Q}
X = H, L に関係なし。 Q _n = 前状態の Q 出力を保持。 \overline{Q}_n = 前状態の \overline{Q} 出力を保持。 CK = 立上りエッジ方式で H から L のままでは出力は変えない。	動作真理表	L	H	X	X	L	H
		H	L	X	X	H	L
		L	L	X	X	H	H
		H	H	L		L	H
		H	H	H		H	L
		H	H	X		Q _n	\overline{Q}_n

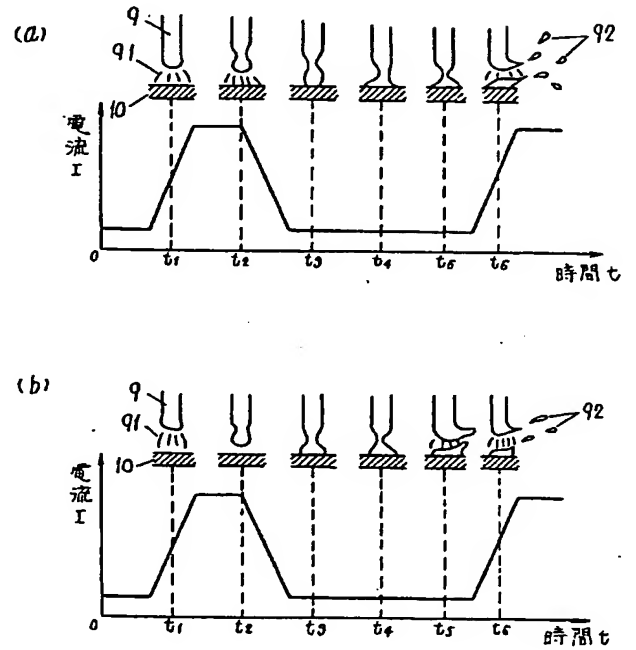
第 5 図



第 6 図



第 7 図



第 8 図

